

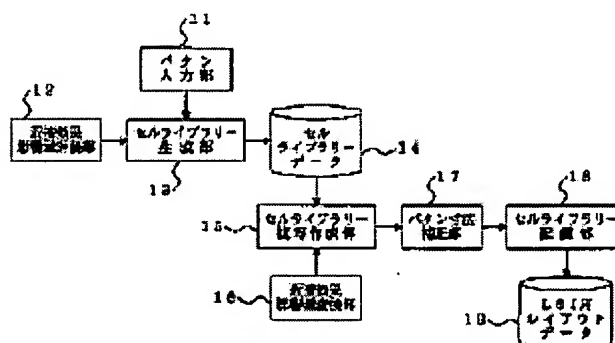
METHOD AND APPARATUS FOR PRODUCING PATTERN LAYOUT FOR INTEGRATED CIRCUIT AND METHOD FOR FORMING CIRCUIT PATTERN

Publication number: JP10079332
Publication date: 1998-03-24
Inventor: MITSUSAKA AKIO
Applicant: MATSUSHITA ELECTRIC IND CO LTD
Classification:
 - international: H01L21/027; H01L21/02; (IPC1-7): H01L21/027
 - european:
Application number: JP19960232762 19960903
Priority number(s): JP19960232762 19960903

Report a data error here

Abstract of JP10079332

PROBLEM TO BE SOLVED: To provide a method wherein a cell library with proximity effects evaluated can be produced before determining a manufacturing process and one cell of the cell library can be used in a general-purpose semiconductor integrated circuit under general-purpose manufacturing process conditions. **SOLUTION:** A proximity effect influence amount evaluating part 12 evaluates an influence amount of proximity effects under virtual process conditions, while a proximity effect influence amount converting part 16 evaluates an influence amount of proximity effects under actual process conditions, and obtains correlation between the influence amount of proximity effects under the virtual process conditions and the influence amount of proximity effects under the actual process conditions before converting virtual proximity effect information based on the correlation, so that it is applicable to the actual process conditions. A pattern size correcting part 17 corrects a pattern size with actual proximity effect information converted to be fitted to the actual process conditions reflected on design data. A cell library placing part 18 produces a layout of a corrected circuit pattern.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-79332

(43) 公開日 平成10年(1998) 3月24日

(51) Int.Cl.⁶

H 0 1 L 21/027

識別記号

庁内整理番号

F I

H 0 1 L 21/30

技術表示箇所

5 0 2 Z

5 0 2 W

審査請求 未請求 請求項の数 7 O L (全 16 頁)

(21) 出願番号 特願平8-232762

(22) 出願日 平成 8 年(1996) 9 月 3 日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 三坂 章夫

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

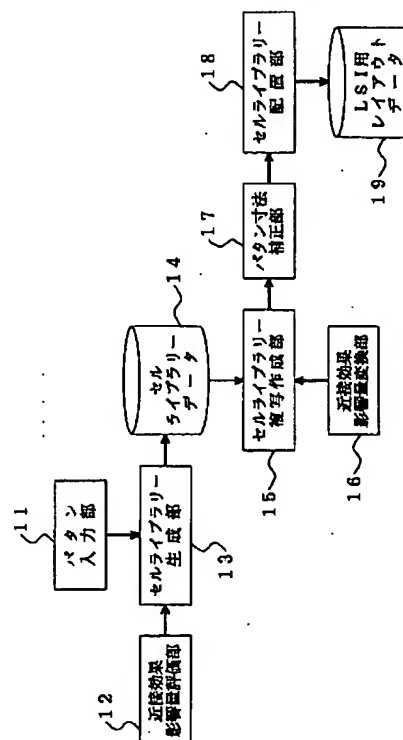
(74) 代理人 弁理士 前田 弘 (外 2 名)

(54) 【発明の名称】 集積回路用パタンレイアウト生成方法、集積回路用パタンレイアウト生成装置及び回路パタン形成方法

(57) 【要約】

【課題】 製造プロセスを決定する以前に近接効果が評価されたセルライブラリーを作成することができ、該セルライブラリーの 1 つのセルを汎用的な製造プロセス条件における汎用的な半導体集積回路に利用できるようにする。

【解決手段】 近接効果影響量評価部 1 2 は仮想的なプロセス条件における近接効果の影響量を評価し、近接効果影響量変換部 1 6 は実際のプロセス条件における近接効果の影響量を評価し、仮想的なプロセス条件の近接効果の影響量と実際のプロセス条件の近接効果の影響量との相関関係を求めた後に、該相関関係に基づいて実際のプロセス条件に適合するように仮想近接効果情報を変換する。パタン寸法補正部 1 7 は実際のプロセス条件に適合するように変換された実近接効果情報を設計データに反映させてパタンの寸法を補正する。セルライブラリー配置部 1 8 は補正済みの回路パタンのレイアウトを生成する。



【特許請求の範囲】

【請求項1】 集積回路の構成要素であるセルにおける、回路素子が配置されてなる回路パタンのレイアウトを生成する集積回路用パターンレイアウト生成方法であって、

回路パタンの生成工程に仮想的なプロセス条件を設定し、該仮想的なプロセス条件における前記回路パタンの近接効果である仮想近接効果の影響量を評価する仮想近接効果評価工程と、

実際のプロセス条件を適用したときの前記回路パタンの近接効果である実近接効果の影響量を評価する実近接効果評価工程と、

前記仮想近接効果の影響量と前記実近接効果の影響量との相関関係を求める相関関係作成工程と、

前記相関関係に基づいて前記回路パタンのパターン寸法を補正して回路パタンのレイアウトを生成するパターン寸法補正工程とを備えていることを特徴とする集積回路用パターンレイアウト生成方法。

【請求項2】 集積回路の構成要素であるセルにおける、回路素子が配置されてなる回路パタンのレイアウトを生成する集積回路用パターンレイアウト生成方法であって、

回路パタンの生成工程に仮想的なプロセス条件を設定し、該仮想的なプロセス条件における前記回路パタンの近接効果である仮想近接効果の影響量を評価する仮想近接効果評価工程と、

前記回路パタンに前記仮想近接効果の影響量を反映した仮想近接効果情報を付加してセルライブラリーを生成するセルライブラリー生成工程と、

実際のプロセス条件を適用したときの前記回路パタンの近接効果である実近接効果の影響量を評価する実近接効果評価工程と、

前記仮想近接効果の影響量と前記実近接効果の影響量との相関関係を求める相関関係作成工程と、

前記相関関係に基づいて前記セルライブラリーにおける前記仮想近接効果情報を前記実際のプロセス条件の実近接効果情報に変換する近接効果情報変換工程と、

前記実近接効果情報に基づいて前記回路パタンのパターン寸法を補正して回路パタンのレイアウトを生成するパターン寸法補正工程とを備えていることを特徴とする集積回路用パターンレイアウト生成方法。

【請求項3】 前記仮想近接効果評価工程及び前記実近接効果評価工程は、光学理論に基づいた光強度シミュレーションによる前記回路パタンの光強度を用いて近接効果の影響量を評価する工程をそれぞれ含むことを特徴とする請求項1又は2に記載の集積回路用パターンレイアウト生成方法。

【請求項4】 集積回路の構成要素であるセルにおける、回路素子が配置されてなる回路パタンのレイアウトを生成する集積回路用パターンレイアウト生成装置であって、

て、

回路パタンの生成工程に仮想的なプロセス条件を設定し、該仮想的なプロセス条件における前記回路パタンの近接効果である仮想近接効果の影響量を評価する仮想近接効果評価手段と、

前記回路パタンに前記仮想近接効果の影響量を反映した仮想近接効果情報を付加してセルライブラリーを生成するセルライブラリー生成手段と、

実際のプロセス条件を適用したときの前記回路パタンの近接効果である実近接効果の影響量を評価する実近接効果評価手段と、

前記仮想近接効果の影響量と前記実近接効果の影響量との相関関係を求める相関関係作成手段と、

前記相関関係に基づいて前記セルライブラリーにおける前記仮想近接効果情報を前記実際のプロセス条件の実近接効果情報に変換する近接効果情報変換手段と、

前記実近接効果情報に基づいて前記回路パタンのパターン寸法を補正して回路パタンのレイアウトを生成するパターン寸法補正手段とを備えていることを特徴とする集積回路用パターンレイアウト生成方法。

【請求項5】 前記仮想近接効果評価手段及び前記実近接効果評価手段は、光学理論に基づいた光強度シミュレーションによる前記回路パタンの光強度を用いて近接効果の影響量を評価することを特徴とする請求項4に記載の集積回路用パターンレイアウト生成装置。

【請求項6】 回路パタンの生成工程に仮想的なプロセス条件を設定し、該仮想的なプロセス条件における前記回路パタンの近接効果である仮想近接効果の影響量を評価する仮想近接効果評価工程と、前記回路パタンに前記仮想近接効果の影響量を反映した仮想近接効果情報を付加してセルライブラリーを生成するセルライブラリー生成工程と、実際のプロセス条件を適用したときの前記回路パタンの近接効果である実近接効果の影響量を評価する実近接効果評価工程と、前記仮想近接効果の影響量と前記実近接効果の影響量との相関関係を求める相関関係作成工程と、前記相関関係に基づいて前記セルライブラリーにおける前記仮想近接効果情報を前記実際のプロセス条件の実近接効果情報に変換する近接効果情報変換工程と、前記実近接効果情報に基づいて前記回路パタンのパターン寸法を補正して回路パタンのレイアウトを生成するパターン寸法補正工程とを有する集積回路用パターンレイアウト生成方法により作成されたパターンレイアウトデータを用いて形成されたマスクパターンを有するマスク装置を作製するマスク装置作製工程と、前記マスク装置を透過する露光光によって露光することにより基板に前記パターンレイアウトを転写するパターンレイアウト転写工程とを備えていることを特徴とする回路パターン形成方法。

【請求項7】 回路パタンの生成工程に仮想的なプロセス条件を設定し、該仮想的なプロセス条件における前記

回路パタンの近接効果である仮想近接効果の影響量を評価する仮想近接効果評価手段と、前記回路パタンに前記仮想近接効果の影響量を反映した仮想近接効果情報を付加してセルライブラリーを生成するセルライブラリー生成手段と、実際のプロセス条件を適用したときの前記回路パタンの近接効果である実近接効果の影響量を評価する実近接効果評価手段と、前記仮想近接効果の影響量と前記実近接効果の影響量との相関関係を求める相関関係作成手段と、前記相関関係に基づいて前記セルライブラリーにおける前記仮想近接効果情報を前記実際のプロセス条件の実近接効果情報に変換する近接効果情報変換手段と、前記実近接効果情報に基づいて前記回路パタンのパタン寸法を補正して回路パタンのレイアウトを生成するパタン寸法補正手段とを有する集積回路用パタンレイアウト生成装置により作成されたパタンレイアウトデータを用いて形成されたマスクパターンを有するマスク装置を作製するマスク装置作製工程と、前記マスク装置を透過する露光光によって露光することにより基板に前記パタンレイアウトを転写するパタンレイアウト転写工程とを備えていることを特徴とする回路パタン形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、LSI等の半導体集積回路の構成要素であるセルにおける回路素子のパタンレイアウトの生成及び回路パタン形成方法に関する。

【0002】

【従来の技術】近年、LSIに代表される半導体集積回路の微細化はますます進み、その微細化は加工限界に迫りつつある。それに伴いLSIの製造工程のひとつであるリソグラフィ工程において、近接効果による設計寸法と加工寸法との差が無視できなくなっているため、パタンレイアウトの個別単位である各セルを設計する際に、目的とするパタン寸法に近接効果による寸法変動分を補正したパタン設計を行なう必要がある。

【0003】従来、特定の製造プロセスに合わせた各セルの設計時にパタン寸法の調整を行なうことにより寸法変動分の補正を行なってきた。しかしながら、LSIの大規模化により、各セルの設計を行なってからLSIの製造を行なうまでの期間が拡大し、その期間に製造プロセスを種々の要因によって変更する必要が頻繁に生じると共に、各セルをライブラリーとして各種のLSIに再利用して経済的効果を得るため、複数の製造プロセスに対して共通のセルを使用する必要が生じてきた。

【0004】従って、特定の製造プロセスに合わせて補正を実施してパタン設計を行なう微細パタン形成方法では、設計上の性能を実現することも、汎用的なセルを再利用して経済的効果を得ることも困難になってきている。

【0005】以下、従来のLSI回路用パタンレイアウト

生成方法及び生成装置を図面を参照しながら説明する。

【0006】図14は従来のLSI回路用パタンレイアウト生成装置を示すブロック構成図である。図14において、本生成装置は、セルを構成する回路素子からなる設計データを入力するパタン入力部101と、入力されたセルの設計データをセルライブラリーデータとしてセルライブラリー105にライブラリー化するセルライブラリー生成部102と、セルライブラリーを生成する前に、微細化による近接効果の影響量を評価する近接効果評価部103と、近接効果の影響量を設計データに反映させてパタンの寸法を補正するパタン寸法補正部104と、セルライブラリー105から所望のセルライブラリーデータを抽出し、複写するセルライブラリー複写作成部106と、抽出かつ複写されたセルライブラリーデータを配置してLSI用レイアウトデータ108を生成するセルライブラリー配置部107とを備えている。

【0007】前記のように構成されたLSI回路用パタンレイアウト生成装置の動作を説明する。

【0008】まず、パタン入力部101から、回路図より所定のデザインルールにしたがってトランジスタ部のパタン及びトランジスタ部の結線情報に対応したパタンレイアウトを入力し、セルライブラリー生成部102は入力されたパタンレイアウトからセルライブラリー105を生成する。このとき、ゲート層や活性層よりなる各層のパタンはその配置状態において密なものと疎なものとが混在するため、例えば、リソグラフィ工程において光を用いた通常の露光プロセスを用いるとすると、近接効果により密なパタンは設計パタンよりも細くなり、疎なパタンは設計パタンよりも太くなる。

【0009】その結果、例えば、ゲート層においてゲート幅やゲート長の設計寸法と加工寸法とに差が生じ、その寸法差が設計上の性能を規定する許容範囲を越える事態が発生する。従って、近接効果評価部103は製造工程において使用されるプロセス条件の近接効果による設計寸法と加工寸法との差をあらかじめ評価しておき、パタン寸法補正部104が各パタンに対して前記の寸法差の補正を行なう。このように近接効果の影響による補正がされて生成されたパタンレイアウトをセルライブラリー105として登録する。なお、近接効果の評価方法として、実験の条件に合わせ込まれた高性能なシミュレータを用いて予測する方法等が採用されている。

【0010】次に、セルライブラリー複写作成部106は、セルライブラリー105からLSIを作成するために必要なセルライブラリーデータを抽出かつ複写した後、セルライブラリー配置部107は、これらのセルライブラリーデータに従ってLSI用レイアウトデータを生成する。

【0011】前記のように作成されたLSI用レイアウトデータにより作成されたマスク装置を用いてLSIの

微細パターンを形成している。

【0012】

【発明が解決しようとする課題】しかしながら、前記従来のLSI回路用パターンレイアウト生成方法は、設計時において想定されたプロセス条件以外のプロセス条件に対しては近接効果の補正が得られないという問題を有する。例えば、光を用いた通常の露光のプロセス条件では、疎なパターンは太くなり、密なパターンは細くなるが、同じ光を用いた露光であっても、超解像と呼ばれる輪帯フィルターを用いた露光方法では、疎なパターンが細くなり、密なパターンが太くなる場合もあり、補正が逆効果になることもある。

【0013】また、前記従来のパターンレイアウト生成方法は、特定の製造プロセスの条件に合わせて設計されているため、生成されたセルライブラリーが他のプロセス条件に利用できないので、各セルをライブラリーとして複数の製造条件に対応させることにより複数のLSIに再利用させて、LSIの設計コストを節約するという効果が得られないという問題を有する。

【0014】図15に示すように、簡単な改良例として、近接効果評価部103及びパターン寸法補正部104をセルライブラリー複写作成部106の処理とセルライブラリー配置部107の処理との間に変更する手段が考えられる。

【0015】しかしながら、通常のLSI設計においては、セルライブラリー105を作成するまでの期間は数ヶ月から数十ヶ月であるが、セルライブラリー105からLSI用レイアウトデータ108を作成する期間は数週間から数十週間である。セルライブラリー105は汎用的であるため、実際に作成するLSIが特定されなくても開発は行なえるが、セルライブラリー105からLSI用レイアウトデータ108を作成するにはLSIを特定しなければならない。開発するLSIを特定してから、実際のLSIの製造を行なうまでの期間を短くするほど開発効率がよくなるからである。

【0016】従って、LSIの開発効率の観点からは、前記の改良例に示すようなLSI用レイアウトデータ108の作成の直前に、膨大な処理時間を必要とする前記のシミュレータによる近接効果の影響量の評価を行なう近接効果評価部103を設けることはできない。

【0017】また、同一のセルライブラリーであっても、製造プロセスの条件が異なれば、そのセルライブラリーデータに処理時間がかかるシミュレータを再度実行しなければならないという問題も有している。

【0018】本発明は前記の問題に鑑み、製造プロセスが決定するよりも以前に近接効果が評価されたセルライブラリーを作成することができ、該セルライブラリーの1つのセルを汎用的な製造プロセス条件における汎用的な半導体集積回路に利用できるようにするものである。

【0019】

【課題を解決するための手段】前記の目的を達成するため、本発明は、仮想的なプロセス条件の近接効果の影響量と、実際のプロセス条件の近接効果の影響量との相関関係を求めておき、該相関関係に基づいて回路パタンの寸法の補正を行なうものである。

【0020】具体的に請求項1の発明が講じた解決手段は、集積回路の構成要素であるセルにおける、回路素子が配置されてなる回路パタンのレイアウトを生成する集積回路用パターンレイアウト生成方法を対象とし、回路パタンの生成工程に仮想的なプロセス条件を設定し、該仮想的なプロセス条件における前記回路パタンの近接効果である仮想近接効果の影響量を評価する仮想近接効果評価工程と、実際のプロセス条件を適用したときの前記回路パタンの近接効果である実近接効果の影響量を評価する実近接効果評価工程と、前記仮想近接効果の影響量と前記実近接効果の影響量との相関関係を求める相関関係作成工程と、前記相関関係に基づいて前記回路パタンのパターン寸法を補正して回路パタンのレイアウトを生成するパターン寸法補正工程とを備えている構成とするものである。

【0021】請求項1の構成により、仮想的なプロセス条件における回路パタンの近接効果である仮想近接効果の影響量を評価し、実際のプロセス条件における回路パタンの近接効果である実近接効果の影響量を評価し、仮想近接効果の影響量と実近接効果の影響量との相関関係を求めておき、該相関関係に基づいて回路パタンの寸法を補正して回路パタンのレイアウトを生成するため、特定のプロセス条件に限定されことなく、近接効果の影響量をシミュレーションすることができる。

【0022】請求項2の発明が講じた解決手段は、集積回路の構成要素であるセルにおける、回路素子が配置されてなる回路パタンのレイアウトを生成する集積回路用パターンレイアウト生成方法を対象とし、回路パタンの生成工程に仮想的なプロセス条件を設定し、該仮想的なプロセス条件における前記回路パタンの近接効果である仮想近接効果の影響量を評価する仮想近接効果評価工程と、前記回路パターンに前記仮想近接効果の影響量を反映した仮想近接効果情報を付加してセルライブラリーを生成するセルライブラリー生成工程と、実際のプロセス条件を適用したときの前記回路パタンの近接効果である実近接効果の影響量を評価する実近接効果評価工程と、前記仮想近接効果の影響量と前記実近接効果の影響量との相関関係を求める相関関係作成工程と、前記相関関係に基づいて前記セルライブラリーにおける前記仮想近接効果情報を前記実際のプロセス条件の実近接効果情報に変換する近接効果情報変換工程と、前記実近接効果情報に基づいて前記回路パタンのパターン寸法を補正して回路パタンのレイアウトを生成するパターン寸法補正工程とを備えている構成とするものである。

【0023】請求項2の構成により、仮想的なプロセス

条件における回路パタンの近接効果である仮想近接効果の影響量を評価しておき、回路パタンに仮想近接効果の影響量を反映した仮想近接効果情報を付加したセルライブラリーが生成されるため、特定のプロセス条件に限定されないで、該セルライブラリーを汎用化することができる。

【0024】また、仮想近接効果の影響量と実近接効果の影響量との相関関係を求めておき、該相関関係に基づいてセルライブラリーにおける仮想近接効果情報を実際のプロセス条件の実近接効果情報に変換することにより回路パタンのパタン寸法を補正してレイアウトを生成するため、実際のプロセス条件を決定した後に、実際のプロセス条件の近接効果の影響量を評価する必要がなくなる。

【0025】請求項3の発明は、請求項2の発明に、前記仮想近接効果評価工程及び前記実近接効果評価工程は、光学理論に基づいた光強度シミュレーションによる前記回路パタンの光強度を用いて近接効果の影響量を評価する工程をそれぞれ含む構成を付加するものである。

【0026】請求項4の発明が講じた解決手段は、集積回路の構成要素であるセルにおける、回路素子が配置されてなる回路パタンのレイアウトを生成する集積回路用パタンレイアウト生成装置を対象とし、回路パタンの生成工程に仮想的なプロセス条件を設定し、該仮想的なプロセス条件における前記回路パタンの近接効果である仮想近接効果の影響量を評価する仮想近接効果評価手段と、前記回路パタンに前記仮想近接効果の影響量を反映した仮想近接効果情報を付加してセルライブラリーを生成するセルライブラリー生成手段と、実際のプロセス条件を適用したときの前記回路パタンの近接効果である実近接効果の影響量を評価する実近接効果評価手段と、前記仮想近接効果の影響量と前記実近接効果の影響量との相関関係を求める相関関係作成手段と、前記相関関係に基づいて前記セルライブラリーにおける前記仮想近接効果情報を前記実際のプロセス条件の実近接効果情報に変換する近接効果情報変換手段と、前記実近接効果情報に基づいて前記回路パタンのパタン寸法を補正して回路パタンのレイアウトを生成するパタン寸法補正手段とを備えている構成とするものである。

【0027】請求項4の構成により、仮想的なプロセス条件における回路パタンの近接効果である仮想近接効果の影響量を評価しておき、回路パタンに仮想近接効果の影響量を反映した仮想近接効果情報を付加したセルライブラリーが生成されるため、特定のプロセス条件に限定されないで、該セルライブラリーを汎用化することができる。

【0028】また、仮想近接効果の影響量と実近接効果の影響量との相関関係を求めておき、該相関関係に基づいてセルライブラリーにおける仮想近接効果情報を実際のプロセス条件の実近接効果情報に変換することにより

回路パタンのパタン寸法を補正してレイアウトを生成するため、実際のプロセス条件が決定された後に、実際のプロセス条件の近接効果の影響量を評価する必要がない。

【0029】請求項5の発明は、請求項4の発明に、前記仮想近接効果評価手段及び前記実近接効果評価手段は、光学理論に基づいた光強度シミュレーションによる前記回路パタンの光強度を用いて近接効果の影響量を評価する構成を付加するものである。

【0030】請求項6の発明が講じた解決手段は、回路パタン形成方法を、回路パタンの生成工程に仮想的なプロセス条件を設定し、該仮想的なプロセス条件における前記回路パタンの近接効果である仮想近接効果の影響量を評価する仮想近接効果評価工程と、前記回路パタンに前記仮想近接効果の影響量を反映した仮想近接効果情報を付加してセルライブラリーを生成するセルライブラリー生成工程と、実際のプロセス条件を適用したときの前記回路パタンの近接効果である実近接効果の影響量を評価する実近接効果評価工程と、前記仮想近接効果の影響量と前記実近接効果の影響量との相関関係を求める相関関係作成工程と、前記相関関係に基づいて前記セルライブラリーにおける前記仮想近接効果情報を前記実際のプロセス条件の実近接効果情報に変換する近接効果情報変換工程と、前記実近接効果情報に基づいて前記回路パタンのパタン寸法を補正して回路パタンのレイアウトを生成するパタン寸法補正工程とを有する集積回路用パタンレイアウト生成方法により作成されたパタンレイアウトデータを用いて形成されたマスクパターンを有するマスク装置を作製するマスク装置作製工程と、前記マスク装置を透過する露光光によって露光することにより基板に前記パタンレイアウトを転写するパタンレイアウト転写工程とを備えている構成とするものである。

【0031】請求項7の発明が講じた解決手段は、回路パタン形成装置を、回路パタンの生成工程に仮想的なプロセス条件を設定し、該仮想的なプロセス条件における前記回路パタンの近接効果である仮想近接効果の影響量を評価する仮想近接効果評価手段と、前記回路パタンに前記仮想近接効果の影響量を反映した仮想近接効果情報を付加してセルライブラリーを生成するセルライブラリー生成手段と、実際のプロセス条件を適用したときの前記回路パタンの近接効果である実近接効果の影響量を評価する実近接効果評価手段と、前記仮想近接効果の影響量と前記実近接効果の影響量との相関関係を求める相関関係作成手段と、前記相関関係に基づいて前記セルライブラリーにおける前記仮想近接効果情報を前記実際のプロセス条件の実近接効果情報に変換する近接効果情報変換手段と、前記実近接効果情報に基づいて前記回路パタンのパタン寸法を補正して回路パタンのレイアウトを生成するパタン寸法補正手段とを有する集積回路用パタンレイアウト生成装置により作成されたパタンレイアウト

データを用いて形成されたマスクパターンを有するマスク装置を作製するマスク装置作製工程と、前記マスク装置を透過する露光光によって露光することにより基板に前記パターンレイアウトを転写するパターンレイアウト転写工程とを備えている構成とするものである。

【0032】

【発明の実施の形態】本発明の一実施形態を図面を参照しながら説明する。

【0033】図1は本発明の一実施形態に係る集積回路用パターンレイアウト生成装置を示すブロック構成図である。図1において、本生成装置は、パターン入力部11と、近接効果影響量評価部12と、セルライブラリー生成部13と、セルライブラリー複写作成部15と、近接効果影響量変換部16と、パターン寸法補正部17と、セルライブラリー配置部18とを備えている。

【0034】パターン入力部11はセルを構成する回路素子からなる設計データを入力する。近接効果影響量評価部12は仮想的なプロセス条件を設定し、該仮想的なプロセス条件の微細化による近接効果の影響量を評価する仮想近接効果評価手段を有している。セルライブラリー生成部13は入力されたセルの設計データに近接効果の影響量を反映させたパターンレイアウト及び仮想近接効果情報よりなるセルライブラリーデータとしてセルライブラリー14にライブラリー化するセルライブラリー生成手段を有している。セルライブラリー複写作成部15はセルライブラリー14から所望のセルライブラリーデータを抽出し且つ複写する。近接効果影響量変換部16は、実際のプロセス条件の近接効果の影響量を評価する実近接効果評価手段と、仮想的なプロセス条件の近接効果の影響量と実際のプロセス条件の近接効果の影響量との相関関係を求める相関関係作成手段と、該相関関係に基づいて複写された仮想近接効果情報を実際のプロセス条件に適合するように変換する近接情報変換手段とを有している。パターン寸法補正部17は実際のプロセス条件に適合するように変換された実近接効果情報を設計データに反映させてパタンの寸法を補正するパターン寸法補正手段を有している。セルライブラリー配置部18は補正されたセルライブラリーデータを配置してLSI用レイアウトデータ19を生成する。

【0035】以下、前記のように構成された集積回路用パターンレイアウト生成装置の動作を図面を参照しながら説明する。

【0036】図2は本発明の一実施形態に係る集積回路用パターンレイアウト生成装置の動作手順を示すフローチャートである。

【0037】まず、図2に示すパターン入力工程S1において、パターン入力部11は、所定の寸法ルールに基づいて電子回路を表わし、LSIのパターンレイアウトの基本要素となるセルのパタンの入力を行なって図3(a)に示すパターンレイアウトを生成する。図3(a)は電子回

路のうちのトランジスタ部の平面図であって、21、22、23、24はトランジスタのゲート部、25A、25Bはトランジスタの活性領域及び26A、26B、26Cはトランジスタの電極をそれぞれ表わしている。以降、本実施形態においては、図3(b)に示すようにパターンレイアウトの各ゲート部21、22、23、24に限定して説明をする。

【0038】次に、図2に示す仮想近接効果評価工程S2において、近接効果影響量評価部12は、ある仮想的なプロセス条件を設定し、該仮想的なプロセス条件におけるセル内のパターンが受ける近接効果の影響量を定量化し、各パタンの付加情報である仮想近接効果情報として作成する。

【0039】ここで近接効果を定量化する方法について説明する。近接効果をシミュレーションによって定量化する方法として以下に示す2つの方法が考えられる。

【0040】(1)各パタンのリソグラフィ工程における仕上がり寸法を直接評価する方法

(2)各パタンのリソグラフィ工程における仕上がり寸法をパタンの形状または露光条件を変数とする簡単な関数によって間接的に求めるためのパラメータを評価する方法

【0041】上記(1)の方法はリソグラフィ工程における仕上がり寸法を直接評価するため、近接効果の影響量の定量化としては正確ではあるが、仮想的なプロセス条件における近接効果の影響量と実際のプロセスにおける近接効果の影響量の相関関係を作成する場合に、仮想的なプロセスにおける仕上がり寸法と実際のプロセスにおける仕上がり寸法とに良好な相関関係が得られない場合が生じる可能性がある。例えば、多対一の相関関係になる場合である。そこで、近接効果の影響量と実際のプロセスにおける近接効果の影響量との相関関係を作成する場合に、事前に予想される実際のプロセス条件と作成されるレイアウトの関係とにより良好な相関を得られるパラメータを決定し、上記(2)に示す、近接効果の影響量をパラメータを用いて表わす方法を採用するほうがよい。

【0042】以下、シミュレーションにより求められる相対光強度をパラメータにした、近接効果の影響量を定量化する方法について説明する。

【0043】仮想的なプロセス条件として波長365nmの光を用いた光による露光を設定し、以下に示すように露光機の各パラメータを設定する。

【0044】

開口数： 0.6
干渉度： 0.6
デフォーカス： 0.0μm
輪帯フィルター： なし

この条件において、パタンの設計寸法が0.4μmのラインパタンの仕上がり寸法を各ラインパタンの中心部に

おける光強度をパラメータとして、種々の適当なレイアウトにおいて求めたものが図4である。図4に示すよう

$$W=0.445-1.68E$$

となる関係式(1)によって表わされる。この関係式(1)は図3に示すレイアウトの各ゲート部に依存して成り立つ関係ではなく、上記の露光条件において一般的に成り立つ関係であって、レイアウトを特定せずに求めることができる。その結果、各ゲート部における相対光強度Eによって、各ゲートにおける近接効果を定量化することができる。各ゲートにおける相対光強度Eは実際の各ゲートのレイアウトにおける光強度シミュレーションによって求めることになる。

【0045】本実施形態においては、図3(b)に示す各ゲート部21、22、23、24のそれぞれの中心部21a、22a、23a、24aにおける光強度を光強度シミュレータを用いて評価した値を採用した。

【0046】ここで相対光強度は、パタンの全面を露光したときの強度が1となるように規格化された値として定義されている。

【0047】次に、図2に示すセルライブラリー生成工程S3において、セルライブラリー生成部13は、例えば図3(b)に示すパタンレイアウトと図5に示す各パタンの近接効果影響量すなわち図3(b)に示す各ゲート部21、22、23、24の中心部21a、22a、23a、24aにおける光強度を表わす仮想近接効果情報よりなる付加情報としてセルライブラリー14に登録し蓄積する。

【0048】次に、図2に示す製造プロセス決定工程S4において、所望のLSIを製造するために必要な数のセルライブラリーが蓄積された後、実際に製造するLSIを規定し、その製造プロセスを決定する。

$$W=0.449-2.197E$$

となる関係式(2)によって表わされる。この関係式(2)も図3に示す各レイアウトの各ゲート部に依存して成り立つ関係ではなく、上記の露光条件においては一般的に成り立つ関係であって、レイアウトを特定せずに求めることができる。次に、仮想的なプロセス条件における0.4μmのラインパタンの中心部の相対光強度と実際のプロセスにおける0.4μmのラインパタンの中心部の相対光強度との相関関係を求める。具体的には、設計寸法が0.4μmのラインパタンである適当なレイアウトパタンにおいて、仮想的なプロセスにおける

$$\begin{aligned} E1 &= 0.8 \times 10^{-2} - 4.626E + 1.55 \times 10^{-3} \times E^2 \\ &\quad - 1.442 \times 10^{-5} \times E^3 + 5.965 \times 10^{-6} \times E^4 \\ &\quad - 9.356 \times 10^{-7} \times E^5 \end{aligned}$$

を得ることができる。

【0054】この関係式(3)も、図3のレイアウトの各ゲート部に依存して成り立つ関係ではなく、仮想的なプロセス条件と実際のプロセス条件とが決まればレイアウトに依存せずに求めることができる。

に、近接効果による仕上がり寸法Wは相対光強度Eをパラメータとして、

$$\dots (1)$$

【0049】次に、図2に示す相関関係作成工程S5において、前の製造プロセス決定工程S4において決定された実際のプロセス条件の近接効果の影響量と各セルの設計時に設定された仮想的なプロセス条件の近接効果の影響量との相関関係を求める。

【0050】本実施形態においては、仮想的なプロセス条件における相対光強度と実際のプロセス条件における相対光強度との相関関係を求めることになる。また、実際のプロセス条件においても仮想的なプロセス条件の場合と同様に、相対光強度Eをパラメータとして仕上がり寸法Wを求める関係式を作成する必要がある。

【0051】まず、実際のプロセスにおいて相対光強度Eをパラメータとして仕上がり寸法を求める関係式を求める。実際のプロセス条件として以下に示すように輪帯フィルターを用いた超解像プロセスの設定条件を用いる。

【0052】

開口数: 0.6

干渉度: 0.6

デフォーカス: 0.0μm

輪帯フィルター: 光源半径の80パーセント相当部分を非透過

この条件において、パタンの設計寸法が0.4μmのラインパタンの仕上がり寸法を各ラインパタンの中心部における光強度をパラメータとして、種々の適当なレイアウトにおいて求めたものが図6である。図6に示すように、近接効果による仕上がり寸法Wは相対光強度Eをパラメータとして、

$$\dots (2)$$

相対光強度と実際のプロセスにおける相対光強度とを求め、図7に示されるように、それぞれ同一のレイアウトとし、仮想的なプロセス条件の相対光強度を横軸に、実際のプロセス条件の相対光強度を縦軸にとって、複数のレイアウトに対して統計処理を行なうことにより作成できる。

【0053】これにより、仮想的なプロセス条件の相対光強度Eを実際のプロセス条件の相対光強度E1に変換する相対光強度変換曲線を表わす変換式、

$$\dots (3)$$

【0055】従って、実際のプロセスにおいて使用する複数の条件に対して、仮想的なプロセス条件の相対光強度から実際のプロセス条件の相対光強度に変換を行なう相対光強度変換式(3)を用意しておけば、パタンレイアウトに対して一度だけ仮想的なプロセス条件下で光強

度シミュレーションを行なっておくと、すべてのパターンレイアウトに対して再度光強度シミュレーションを行なうことなく、相対光強度変換式(3)に基づいて相対光強度を変換することにより、実際のプロセス条件の光強度を求めることができる。

【0056】すなわち、図8に示すように、製造プロセスに依存しない情報が決定した時点(本実施形態においてはパターンレイアウト)で仮想的なプロセス条件の物理量(本実施形態においては光強度)の評価を行えば、仮想的なプロセス条件と異なる実際のプロセス条件の物理量は、仮想的なプロセスと実際のプロセスとの相関関係を考慮することによって、簡単な計算により評価が可能になる。

【0057】次に、図2に示す近接効果情報変換工程S6において、セルライブラリー複写作成部15がLSIのパターンレイアウトの合成のためにセルライブラリー14から各セルを抽出してその複写を生成した後、近接効果影響量変換部16は、複写されたセル内の各パタンの付加情報である仮想近接効果情報を相対光強度変換式(3)に示す相関関係に基づいて該当する実際のプロセス条件に適合する実近接効果情報に変換する。

【0058】これにより、設計時に仮想的なプロセスを設定し、仮想的なプロセス条件の近接効果の影響量を評価して生成されたセルライブラリーデータは、セルのパターンレイアウトに実際のプロセス条件の相対光強度シミュレーションを再度行なうことなく、実際のプロセス条件の相対光強度を得たことになる。例えば、図5に示すセルライブラリーデータの複写は相対光強度変換式(3)によって図9に示すセルライブラリーデータに変換される。

【0059】次に、図2に示すパターン寸法補正工程S7において、パターン寸法補正部17は、各セルライブラリーデータに対して、各パタンの実際のプロセス条件の近接効果の影響量、すなわち実近接効果情報に基づいて製造プロセス条件に適する寸法補正を行なう。この寸法補正は、実際のプロセス条件における光強度とゲート長の仕上がり寸法の関係式(2)に図9に示す相対光強度の変換により得られたセルライブラリーデータの実近接効果情報である相対光強度を代入することによって得られる。従って、この仕上がり寸法と設計寸法とがずれる量のズレ量分をパターン寸法として補正すればよい。

【0060】次に、図2に示すセルライブラリー配置工程S8において、セルライブラリー配置部は、前のパターン寸法補正工程S7において寸法補正された各セルのパターンレイアウトを配置し、LSI製造用のパターンレイ

$$W=0.507-0.871E$$

となる関係式(4)により定量化される。

【0067】次に、デフォーカスプロセス条件と仮想的なプロセス条件との近接効果の影響量は図11に示す相

$$E2=0.125-17.974E+3.399\times 10^{-3}\times E^2$$

ウトデータ19を作成する。次に、実際のプロセス条件に適した近接効果の補正が施されたパターンレイアウトデータに基づいたパターンレイアウトを、露光光が透過しないクロム等を用いて透明基板に転写することによりLSI製造用のマスク装置を作製する。

【0061】このマスク装置を用い、該マスク装置を透過する露光光によって基板にパターンレイアウトを転写して微細なパターン形成を行なう。これにより、設計寸法と仕上がり寸法との差が許容範囲内に収まる微細パタンの形成が可能となる。

【0062】このように、本実施形態によると、パターン設計時に補正寸法を決定せずに、仮想的なプロセスを想定し、セル内の各パターンに対して仮想的なプロセス条件の近接効果の影響量を評価し、その影響量を各パタンの付加情報として求め、この付加情報とパターンレイアウトとによりセルライブラリーを構成する。さらに、実際のプロセス条件が決定した段階で、仮想的なプロセス条件の近接効果の影響量を実際のプロセス条件の近接効果の影響量に写像する相関関係を用いるため、セル内の各パターンにおける近接効果の影響量を直接に再評価せずに付加情報の変換を行なうことによって、実際のプロセス条件に適した近接効果による各パタンの影響を容易に評価できるので、実際のプロセス条件に適するパタンの寸法補正を行なうことができる。

【0063】以下、本発明の一実施形態の第1変形例を図面を参照しながら説明する。

【0064】前記実施形態においては、図3(b)に示すパターンレイアウトの近接効果の影響量を定量化する例としてパターン内部の点における光強度を用いて定量化ができることを示したが、本変形例においては、同じ図3(b)に示すパターンレイアウトに対して仮想的なプロセスから超解像プロセスに変更する場合以外についても有効であることを示す。

【0065】すなわち、露光機のデフォーカスを0.5にした例を説明する。

【0066】

開口数： 0.6

干渉度： 0.6

デフォーカス： 0.5

輪帯フィルター： なし

図10に示すように、このプロセス条件における、パタンの設計寸法 $0.4\mu\text{m}$ のゲート長の仕上がり寸法とゲート部分の中心部での相対光強度との関係は、近接効果の影響量、すなわち設計寸法に対する仕上がり寸法Wが光強度Eによって、

$$\dots (4)$$

関関係を有しており、具体的にデフォーカスプロセス条件の光強度E2は仮想的なプロセス条件の光強度Eを用いて、

$$-2.561 \times 10^{-5} \times E^3 + 8.813 \times 10^{-6} \times E^4 \quad \dots (5)$$

のように容易に変換できる。

【0068】以下、本発明の一実施形態の第2変形例を図面を参照しながら説明する。

【0069】前記一実施形態及び第1変形例においては、対象とするレイアウトパターンとして単純なラインが配置されたパターンレイアウトを用いたが、第2変形例においては、近接効果の影響量の定量化の定義に変更を加えることによって複雑なレイアウトパターンにも適用できることを説明する。

【0070】例えば、図12に示すパターンレイアウトは、パターン27とパターン27の周縁部の他のパターンとの疎密関係がパターン27の部位によって変化する。このような場合のパターンレイアウトの近接効果の影響量を定量化するパラメータには、パターン27の中心線27a上の光強度分布を用いればよい。

【0071】すなわち、仮想的なプロセス条件におけるパターン27の中心線27a上の光強度分布は図13に示す相対光強度曲線31のようになる。また、パターン27の仕上がり線幅はy軸方向に対して図13に示す仕上がり寸法曲線32に示されるような分布となる。ここで、図13に示す仕上がり線幅と相対光強度とは、相対光強度が小さくなるにつれて仕上がり線幅が大きくなるという関係を有しており、図4に示す仕上がり寸法とパタンの中心部の光強度との関係を仮想的なプロセス条件のもとで評価した関係式(1)とほぼ同じ関係で表わされる。

【0072】従って、上記の仮想的なプロセス条件における光強度分布を実際のプロセス条件の光強度分布に変換すると、パターン27の実際のプロセス条件の線幅分布を評価することができる。この方法によれば、すべてのパターンレイアウトが平行に並んでいない複雑な形状に対しても本発明を適用することができる。

【0073】また、図12に示すような場合に、y軸方向にパタンの疎密関係が変化する位置で、あらかじめパタンの分割を行なうと、近接効果の影響量の定量化をパタンの中心点の光強度で行なえるため、セルライブラリーデータのデータ量を軽減することができる。

【0074】また、従来、セルライブラリーのパターンレイアウトに近接効果補正を施すと、パターンレイアウトと実際の製造工程のウエハーに実現されるパターンとが異なるため、セルライブラリーに他のLSIの設計ツールを適用した場合に、不整合が生じる場合があった。しかし、本発明の実施形態によると、セルライブラリーにおけるパターンレイアウトは、実際の製造工程で実現されるレイアウトに一致するので、セルライブラリーに対して近接効果補正以外の種々の設計ツールによる処理を行なう場合に都合がよい。

【0075】

【発明の効果】請求項1の集積回路用パターンレイアウト

生成方法によると、特定のプロセス条件に限定されことなく、近接効果の影響量をシミュレーションすることができるため、実際に製造する半導体集積回路が決定する以前の早期の段階から汎用ライブラリーの設計が可能となるので、実際に製造する半導体集積回路及び製造プロセス条件が決定してから半導体集積回路の製造を開始するまでの期間を短縮することができる。

【0076】請求項2の集積回路用パターンレイアウト生成方法又は請求項4の集積回路用パターンレイアウト生成装置によると、特定のプロセス条件に限定されないため、該セルライブラリーを汎用化することができるので、実際に製造する半導体集積回路及び製造プロセス条件が決定してから半導体集積回路の製造を開始するまでの期間を短縮することができる。

【0077】また、実際のプロセス条件が決定された後に、実際のプロセス条件の近接効果の影響量を評価する必要がないため、セルライブラリーを多くの半導体集積回路に再利用する場合に近接効果補正処理に要する時間を短縮することができる。

【0078】請求項3の集積回路用パターンレイアウト生成方法又は請求項5の集積回路用パターンレイアウト生成装置によると、請求項2の集積回路用パターンレイアウト生成方法又は請求項4の集積回路用パターンレイアウト生成装置の効果が得られる上に、光学理論に基づいた光強度シミュレーションによる回路パタンの光強度を用いて近接効果の影響量を評価するため、近接効果の影響量を確実に評価することができる。

【0079】請求項6又は7の回路パターン形成方法によると、請求項2の集積回路用パターンレイアウト生成方法又は請求項4の集積回路用パターンレイアウト生成装置により生成されたパターンレイアウトデータを用いて形成されたマスクパターンを有するマスク装置により露光されているため、設計寸法と仕上がり寸法との差が許容範囲内に収まる微細パターンを形成することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係る集積回路用パターンレイアウト生成装置を示すブロック構成図である。

【図2】本発明の一実施形態に係る集積回路用パターンレイアウト生成装置の動作手順を示すフローチャート図である。

【図3】本発明の一実施形態に係る集積回路用パターンレイアウト生成装置における集積回路のパターンレイアウトを表わし、(a)はトランジスタ部を示す図であり、(b)はトランジスタ部のゲート部を表わす図である。

【図4】本発明の一実施形態に係る集積回路用パターンレイアウト生成方法における仮想的なプロセス条件の相対光強度と仕上がり線幅との関係を表わすグラフ図である。

【図5】本発明の一実施形態に係る集積回路用パターンレ

イアウト生成方法におけるセルライブラリーデータの仮想近接効果情報を示す図である。

【図6】本発明の一実施形態に係る集積回路用パタンレイアウト生成方法における実際のプロセス条件の相対光強度と仕上がり線幅との関係を表わすグラフ図である。

【図7】本発明の一実施形態に係る集積回路用パタンレイアウト生成方法における仮想的なプロセス条件の近接効果の影響量と実際のプロセス条件の近接効果の影響量との相関関係を表わすグラフ図である。

【図8】本発明の一実施形態に係る仮想的なプロセス条件の物理量と実際のプロセス条件の物理量との関係を示す図である。

【図9】本発明の一実施形態に係る集積回路用パタンレイアウト生成方法における実近接効果情報を示す図である。

【図10】本発明の一実施形態の第1変形例に係る集積回路用パタンレイアウト生成方法における実際のプロセス条件の相対光強度と仕上がり線幅との関係を表わすグラフ図である。

【図11】本発明の一実施形態の第1変形例に係る集積回路用パタンレイアウト生成方法における仮想的なプロセス条件の近接効果の影響量と実際のプロセス条件の近接効果の影響量との相関関係を表わすグラフ図である。

【図12】本発明の一実施形態の第2変形例に係る集積回路用パタンレイアウト生成方法における集積回路のパタンレイアウトを表わす図である。

【図13】本発明の一実施形態の第2変形例に係る集積回路用パタンレイアウト生成方法における仮想的なプロセス条件の相対光強度と仕上がり寸法との関係を表わすグラフ図である。

【図14】従来のLSI回路用パタンレイアウト生成装置を示すブロック構成図である。

【図15】従来の改良版LSI回路用パタンレイアウト生成装置を示すブロック構成図である。

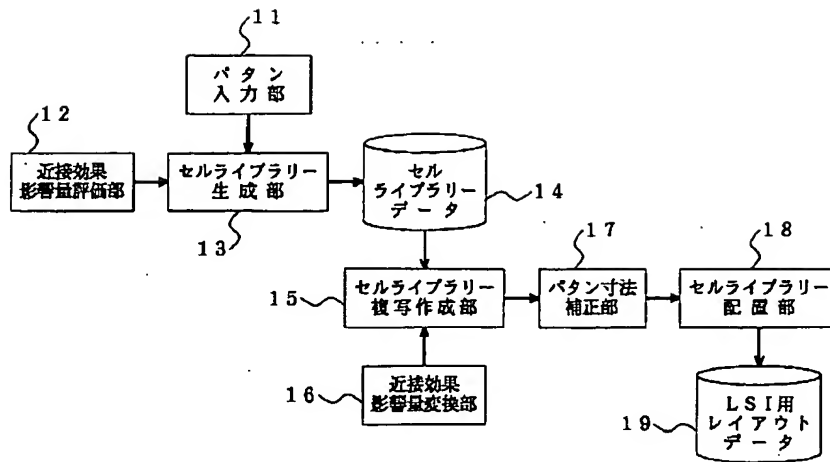
【符号の説明】

- 11 パタン入力部
- 12 近接効果影響量評価部
- 13 セルライブラリー生成部
- 14 セルライブラリー
- 15 セルライブラリー複写作成部
- 16 近接効果影響量変換部
- 17 パタン寸法補正部
- 18 セルライブラリー配置部
- 19 LSI用レイアウトデータ
- S1 パタン入力工程
- S2 仮想近接効果評価工程
- S3 セルライブラリー生成工程
- S4 製造プロセス決定工程
- S5 相関関係作成工程
- S6 近接効果情報変換工程
- S7 パタン寸法補正工程
- S8 セルライブラリー配置工程
- 21 ゲート部
- 21a 中心部
- 22 ゲート部
- 22a 中心部
- 23 ゲート部
- 23a 中心部
- 24 ゲート部
- 24a 中心部
- 25A 活性領域
- 25B 活性領域
- 26A 電極
- 26B 電極
- 26C 電極
- 27 パタン
- 27a 中心線
- 31 相対光強度曲線
- 32 仕上がり寸法曲線

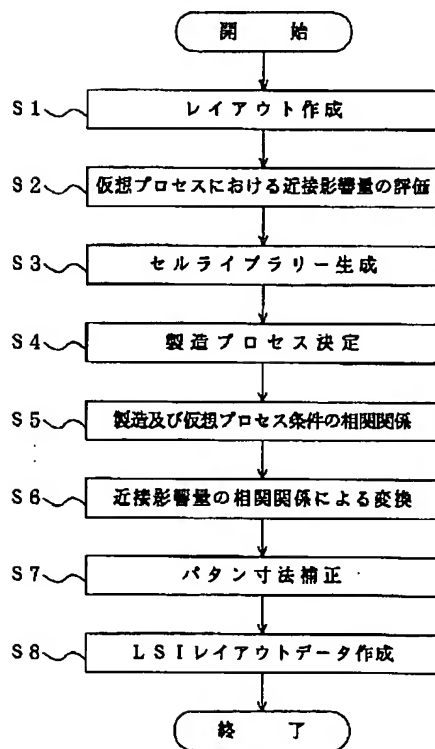
【図5】

パタン	相対光強度
ゲート部21	0.00477
ゲート部22	0.00477
ゲート部23	0.02438
ゲート部24	0.02438

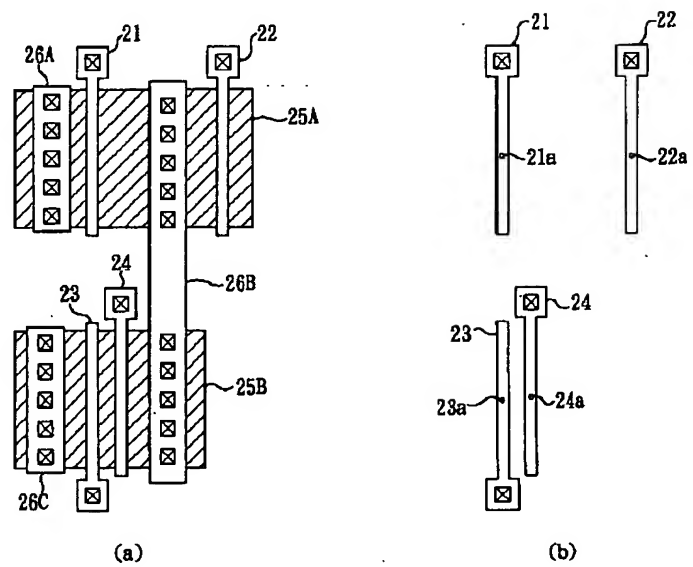
【図1】



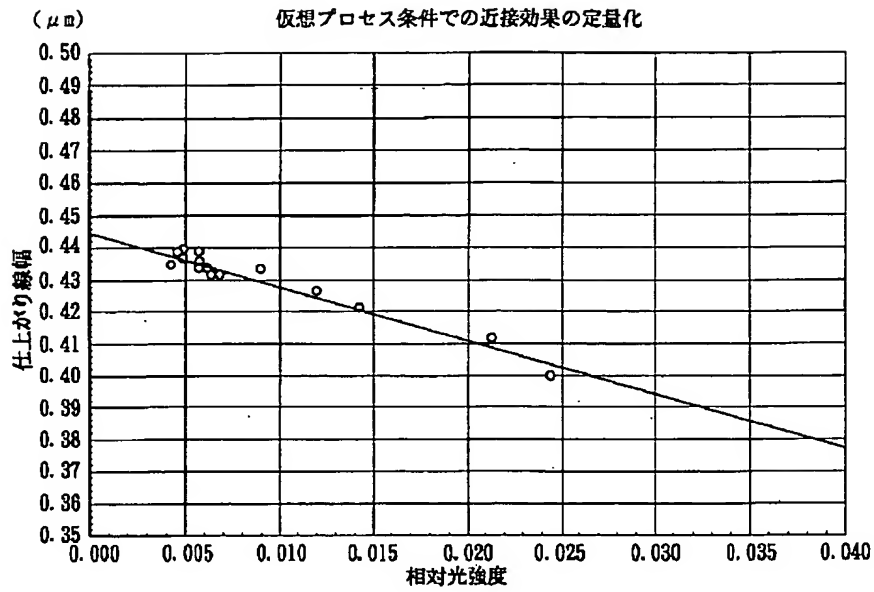
【図2】



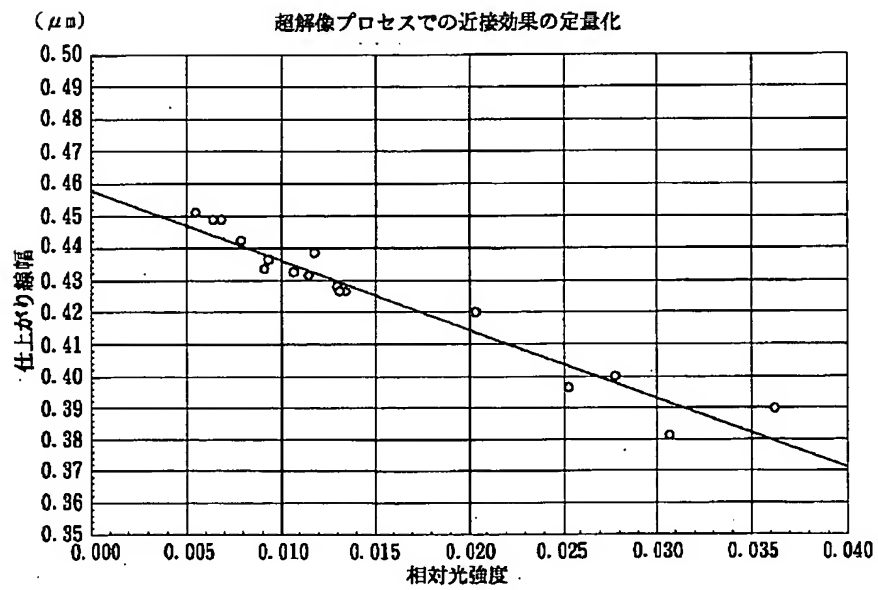
【図3】



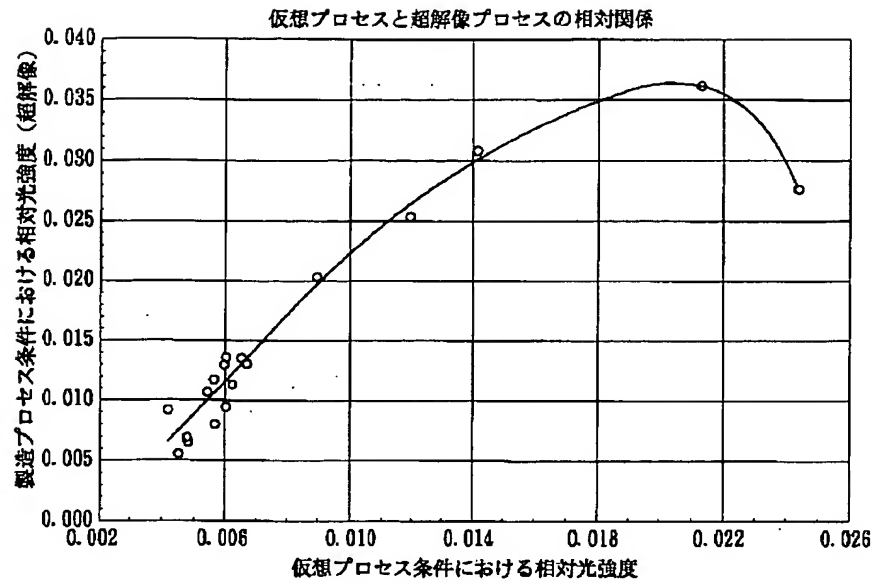
【図4】



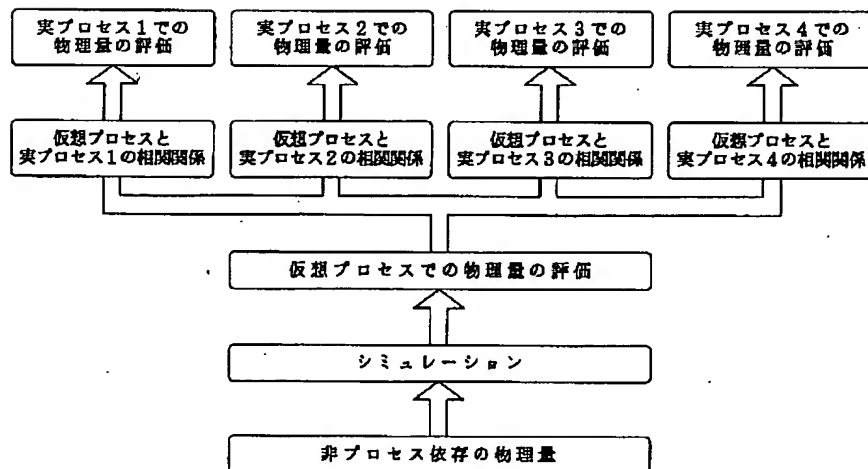
【図6】



【図7】



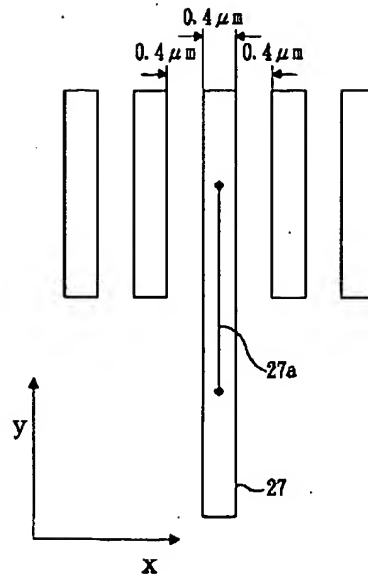
【図8】



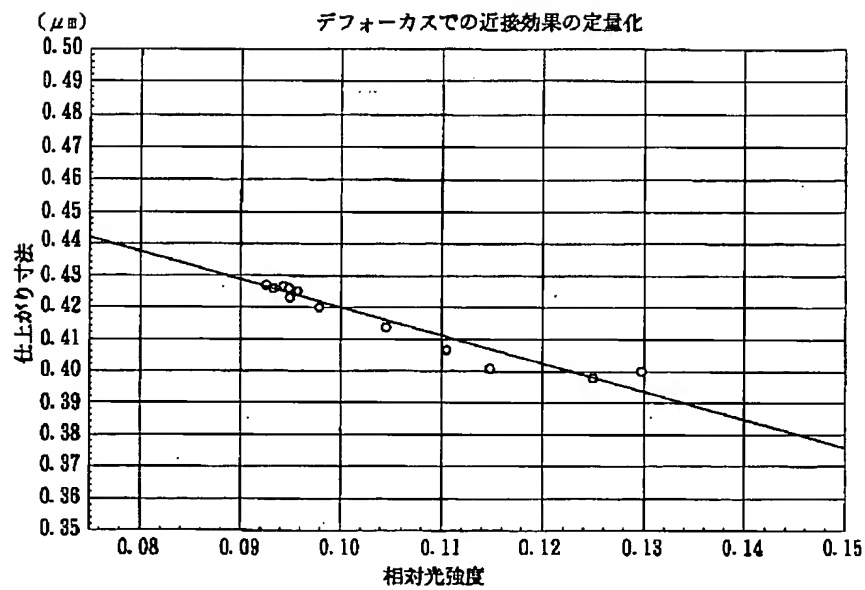
【図9】

ボタン	相対光強度
ゲート部21	0.00694
ゲート部22	0.00694
ゲート部23	0.02796
ゲート部24	0.02796

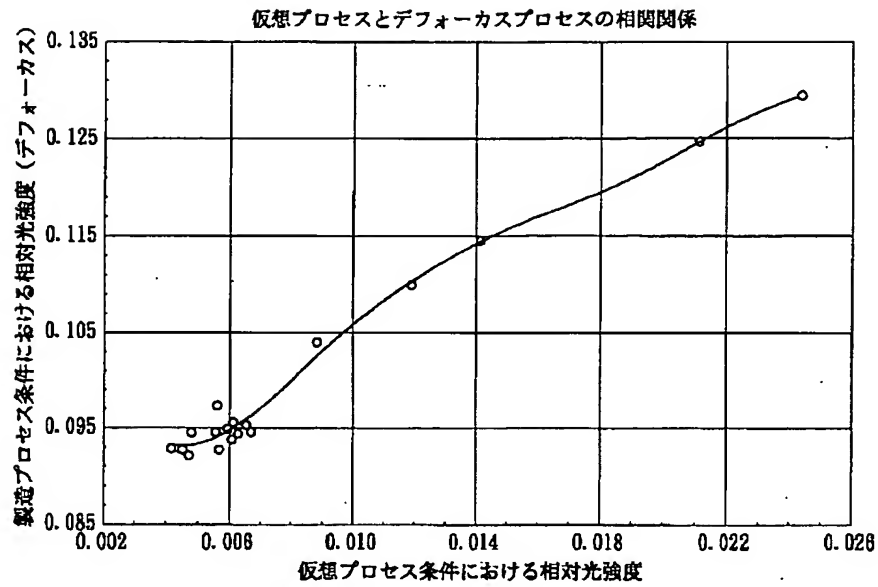
【図12】



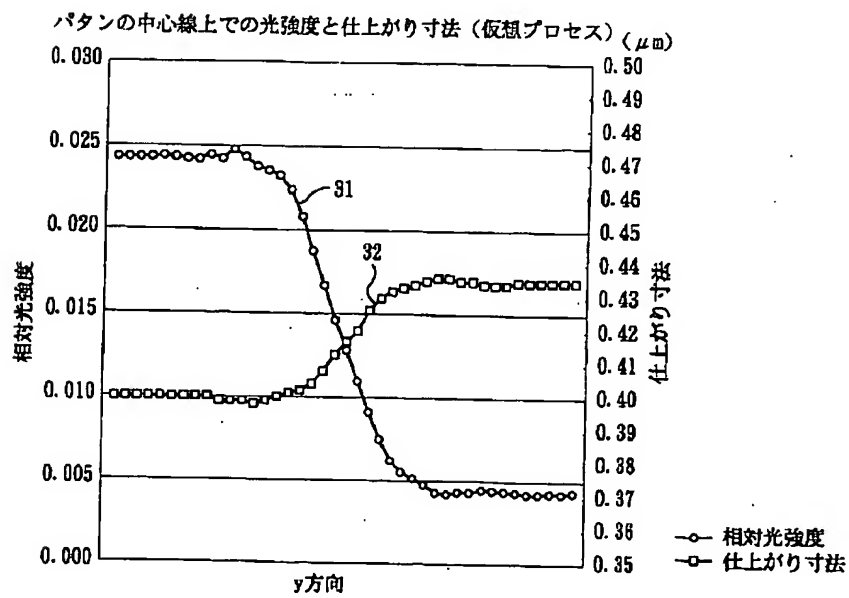
【図10】



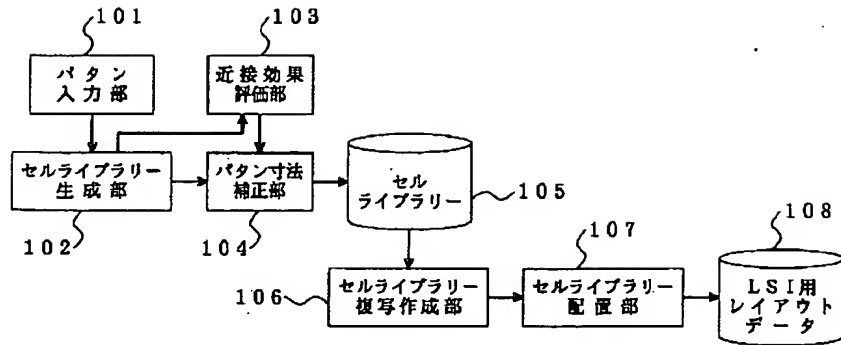
【図11】



【図13】



【図14】



【図15】

